

65 NM KMOP TECHNOLOGIJOS HISTEREZINIO KOMPARATORIAUS PROJEKTAVIMAS

Aleksandr Vasjanov¹, Vaidotas Barzdėnas²

Vilniaus Gedimino technikos universitetas

El. paštas: ¹avasjanov@gmail.com; ²vaidotas.barzdenas@vgtu.lt

Santrauka. Komparatorius yra vienas iš pagrindinių elektronikos įtaisų. Jis yra naudojamas kaip diskretinis elementas arba kaip viena iš sudėtingesnės sistemos sudedamųjų dalių. Šie įtaisai dažnai veikia elektronikos sistemose, kuriose egzistuoja ne tik informaciją nešantys bei apdorjami signalai, bet ir nepageidautini triukšmo signalai. Siekiant tokiomis sąlygomis užtikrinti patikimą ir efektyvią komparatoriaus veiką, imama taikyti histerezė. Šiame straipsnyje pateikiami TSMC 65 nm KMOP histerezinio komparatoriaus projektavimo rezultatai: aptariama principinė elektrinė schema, pateikiama suprojektuota topologija, jos kompiuterinio modeliavimo rezultatai bei išvados. Šis komparatorius bus naudojamas daugiastandarčio, daugiakanalio siųstuvo-imtovo grandinėje, nulinio potencialo poslinkio įtampą nustatančiame, lygiagrečios architektūros analoginiame skaitmeniniame keitiklyje (ASK).

Reikšminiai žodžiai: KMOP, komparatorius, histerezė, integrinis grandynas, lustas, analoginis skaitmeninis keitiklis.

Įvadas

Komparatoriai yra vieni iš pagrindinių elektronikos elementų, susiejantys du visiškai skirtingus signalų tipus: analoginį ir skaitmeninį. Visi gamtoje egzistuojantys signalai yra analoginiai, tačiau dauguma šiuolaikinių elektronikos įrenginių apdoroja skaitmeninius signalus. Todėl bet koks šiuolaikinis elektronikos įrenginys, apdorojantis realioje gamtoje esančius signalus, pasižymi keitimą iš analoginio į skaitmeninį signalą atliekančia grandine. Komparatorius dažnai yra vienas iš pagrindinių analoginių skaitmeninių keitiklių (ASK) sudedamųjų dalių. Tačiau jie taip pat taikomi ir kaip atskiri elementai. Pavienis komparatorius dažnai naudojamas signalui lyginti su atramine įtampos verte, iš esmės tai yra vienos skilties ASK (Khorovits, Khill 2009).

Komparatorius pasižymi visomis operacinio stiprintuvo savybėmis, tačiau išėjime suformuoja tik du loginius lygius – aukštą ir žemą. Aukštas loginis lygis išėjime suformuojamas tuomet, kai neinvertuojančio įėjimo potencialas yra didesnis už invertuojančio įėjimo. Sukurti keletas komparatorių tipų, kurie turi tam tikrų trūkumų ir privalumų. Konkretios komparatoriaus architektūros naudojimą lemia norimų gauti parametrų ir charakteristikų būtinumas, sprendžiant iškeltą inžinerinę problemą (Allen, Holberg 2011).

Šiame straipsnyje pateikiamo darbo pagrindinis tikslas yra sukurti naują TSMC 65 nm KMOP technologijos, mažos galios histerezinį komparatorių, naudojamą šiuo-

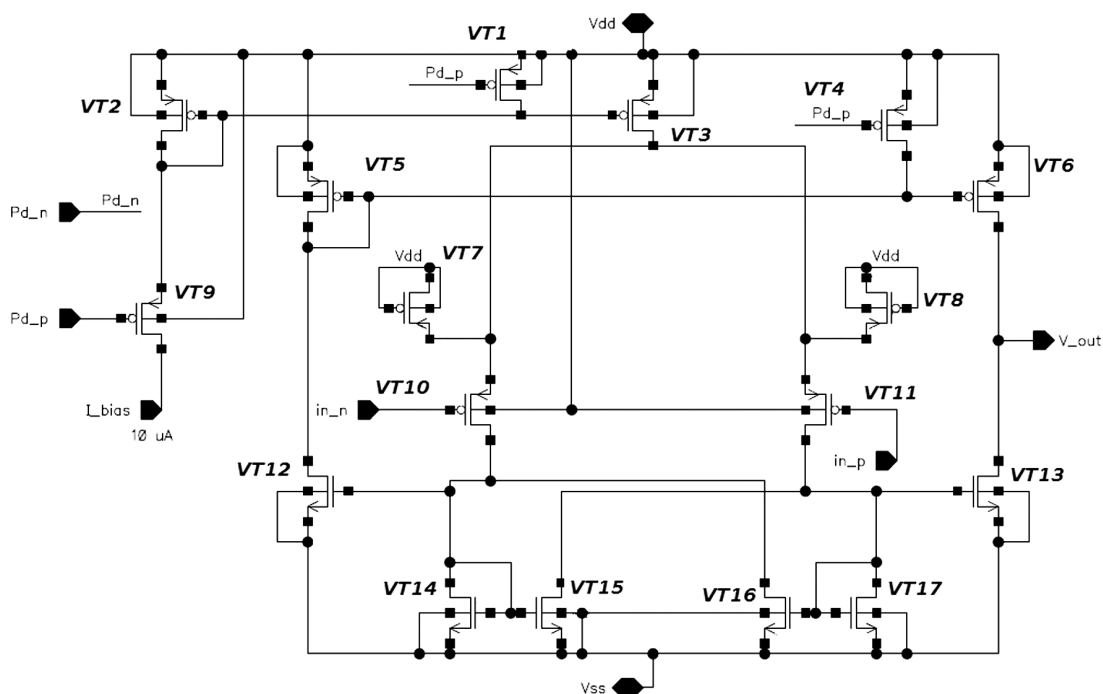
laikinių daugiastandarčių, daugiakanalių siųstuvų-imtuvų 5-ių skilčių, lygiagrečios architektūros ASK. Šie ASK yra skirti nulinio potencialo poslinkio įtampos vertei siųstuvo grandinėje nustatyti. Minėta įtampa yra nepageidaujama, todėl ją atitinkantis skaitmeninis kodas yra apdorojamas ir nustatoma reikiamą įtampos poslinkį kompensuojanti grandinė. Pagrindiniai keliami reikalavimai projektuojamam komparatoriui pateikti 1 lentelėje.

1 lentelė. Reikalavimai komparatoriui
Table 1. Requirements for the comparator

Parametras	Vertė	Matavimo vienetas
Stiprinimo koeficientas	>40	dB
Histerezės kilpos ribos	-7	mV
	7	mV
Reakcijos laikas	<300	ns
Sinfazinis įėjimo signalo diapazonas	100	mV
	700–800	mV
Maitinimo įtampa	1,2	V
Suvartojama galia	<100	μW

Principinės elektrinės schemos analizė

Suprojektuoto komparatoriaus principinė elektrinė schema pateikta 1 pav. Projektavimas buvo atliktas naudojant profe-



1 pav. Komparatoriaus principinė elektrinė schema

Fig. 1. Electrical schematic of the comparator

sionalų integrinių grandynų (IG) projektavimo programinių paketą *Cadence*, taikant TSMC 65 nm KMOP technologinę biblioteką.

Komparatorių sudaro dvi pakopos – diferencinė įėjimo ir išėjimo. Be šių pakopų, schemoje taip pat yra fiktyvieji tranzistoriai, atraminės srovės perdavimo šaka ir komparatoriaus išjungimo tranzistoriai.

Pasirinkta dviejų pakopų *AB* klasės komparatoriaus schema su histereze dėl kelių priežasčių. Pirmoji priežastis – vartojamoji galia. *A* klasės išėjimo pakopa nuolat teka srovę net ir tuo atveju, kai komparatorius išjungtas. Tai padidina vartojamąją galią, tačiau ši pakopa pasižymi tiesiškumu. *AB* klasės išėjimo pakopa sudaryta iš dvitaktės (angl. *push-pull*) tranzistorių poros. Srovė šioje pakopoje teka tik persijungiant tranzistoriams. Tai sumažina vartojamąją galią, tačiau tuo pat metu lemia ir netiesiškumą. Pasirinkta dviejų pakopų architektūra, kuri leidžia padidinti komparatoriaus jautrumą įėjimo signalo pokyčiui, lyginant su vienos pakopos komparatoriumi.

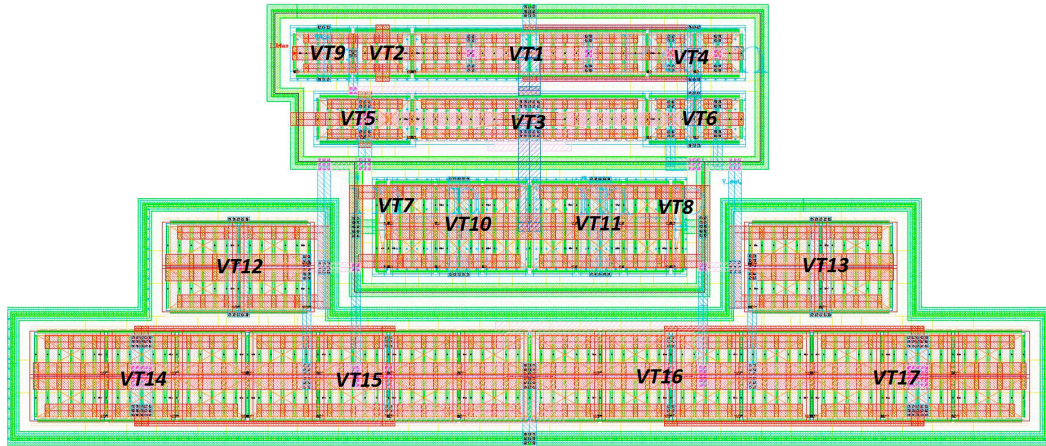
Principinėje elektrinėje schemoje yra numatyta ir histereze, kuri užtikrina patikimą komparatoriaus veikimą esant dideliame įėjimo signalo triukšmo lygiui. Taip suformuojamas tam tikro dydžio diapazonas, kuriame įėjimo signalo pokyčiai nelemia komparatoriaus išėjimo būsenos (Allen, Holberg 2011; Rodrigues *et al.* 2013).

Įėjimo signalas patenka į *p*-MOP tipo tranzistorius *VT10* ir *VT11*. Šie tranzistoriai keičia įtampą į srovę. Šiuose tranzistoriuose didžiausią tekančią srovę nustato tranzistorius *VT3*. Diferencinė pakopa apkrauta *VT14* ir *VT17* tran-

zistoriais, kurie yra įjungti kaip aktyvi apkrova. Pasirinkta diferencinė pakopa yra *p*-MOP tipo dėl griežtų įėjimo sinfazinio signalo dinaminio diapazono (angl. *Input Common Mode Range, ICMR*) reikalavimų. Apatinę šio diapazono ribą nustato tranzistoriaus *VT10* (arba *VT11*) užtūra ir ištaka įtampos U_{GS} ir įtampos U_{DS} kritimo apkrovos tranzistoriuje *VT14* (arba *VT17*).

Tranzistoriai *VT15* ir *VT16* įveda histerezės charakteristiką. Šie tranzistoriai sukuria teigiamą grįžtamąjį ryšį. Grandinėje taip pat yra neigiamo grįžtamojo ryšio šakos, kurios susijungia bendrame tranzistorių *VT10* ir *VT11* ištakų mazge. Jeigu teigiamas grįžtamasis ryšys yra didesnis už neigiamą, atsiranda histerezės parametras. Tai reiškia, kad kol β_{15}/β_{14} (arba β_{16}/β_{17}) santykis ($\beta = K \cdot W/L$, čia K – perėigos laidis, W – tranzistoriaus kanalo plotis, L – tranzistoriaus kanalo ilgis) yra mažesnis už vienetą, histerezės kilpa nesusiformuoja, ir atvirkščiai.

Antroji komparatoriaus pakopa yra išėjimo, ją sudaro tranzistoriai *VT6* ir *VT13*. Tranzistoriaus *VT6* darbo tašką nustato *VT5* ir *VT12* tranzistoriai. *VT7* ir *VT8* tranzistoriai yra fiktyvūs. Šie tranzistoriai neatlieka jokių funkcijų, o tik pagerina diferencinės poros (*VT10* ir *VT11*) charakteristikas gamybos proceso metu. Tranzistoriai *VT1*, *VT4* ir *VT9* leidžia visiškai išjungti komparatorių. *VT9* tranzistorius atjungia atraminės srovės tiekimą į *VT2* tranzistorių, o *VT1* ir *VT4* užtikrina, kad *VT3* ir *VT6* tranzistorių užtūrų potencialai būtų fiksuoti. Taip šie tranzistoriai visiškai uždaro ir nepraleidžia srovės.



2 pav. Komparatoriaus topologija
Fig. 2. Layout of the comparator

Komparatoriaus topologijos projektavimas

Suprojektavus komparatoriaus principinę elektrinę schemą, buvo suprojektuota ir jo topologija. Ši topologija pavaizduota 2 pav.

Viršutiniai tranzistoriai yra p -MOP tipo, o apatiniai – n -MOP. Visos tranzistorių grupės apsuptos apsauginiais žiedais. Centrinėje topologijos dalyje suformuota diferencinė pora, kuri taip pat apsupta atskiru apsauginiu žiedu. Suprojektuoto komparatoriaus elementams sujungti panaudoti 5 metalų sluoksniai, o komparatoriaus topologija užima tik $56 \times 25 \mu\text{m}$ plotą.

Komparatoriaus modeliavimo rezultatai

2 lentelėje pateikti trijų ribinių kompiuterinio modeliavimo parametrų atvejai (angl. *corner*), kurie galimi dėl technologinio proceso, aplinkos temperatūrų ir kitų veiksnių variacijų. Šie matematinio modelio parametrai gaunami statistiškai apdorojus pagamintų bandinių matavimo rezultatus (Barzdėnas 2013; Rang *et al.* 2004).

Komparatorius buvo modeliuojamas esant skirtingoms maitinimo įtampoms ir temperatūroms. Laikoma, kad maitinimo įtampa gali svyruoti 10 % apie jos nominalią vertę, o temperatūra – kisti nuo -40°C iki $+125^\circ\text{C}$. 2 lentelėje taip pat pateikta apkrovos talpa, kuri buvo naudojama modeliuojant.

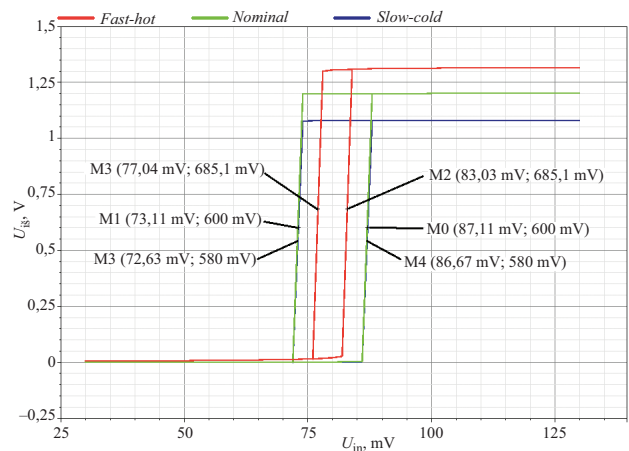
2 lentelė. Komparatoriaus modeliavimo sąlygos

Table 2. Environment of comparator modelling

Ribinis atvejis	Maitinimo įtampa, V	Temperatūra, °C	Apkrovos talpa, pF
<i>Slow-cold</i>	1,08	-40	2
<i>Nominal</i>	1,2	60	
<i>Fast-hot</i>	1,32	125	

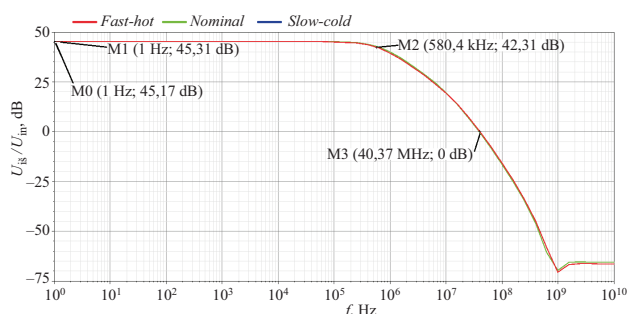
Komparatoriaus histerezės kompiuterinio modeliavimo rezultatai, atlikus topologijos ekstrakciją, pateikti 3 pav. Šis kompiuterinis modeliavimas buvo atliktas keičiant įėjimo įtampą tiesiogine ir atvirkštine tvarka. Taip buvo sumodeliuotos komparatoriaus įsijungimo ir išsijungimo kreivės.

Kadangi maitinimo įtampoms nominalas keičiasi esant skirtingiems ribiniams atvejams, keičiasi ir histerezės vidurio taškas (žr. 3 pav.). Komparatoriaus histerezės kilpa siekia $\pm 7 \text{ mV}$, esant *slow-cold* ir nominaliam ribiniam atvejui, o sumažėja iki $\pm 3 \text{ mV}$, esant *fast-hot* ribiniam atvejui.



3 pav. Histerezės kilpos esant skirtingoms veikimo sąlygoms
Fig. 3. Hysteresis loops under different corner conditions

4 pav. pateikti ekstrahuotos topologijos dažninė-ampitudinė charakteristika (DACH). Kompiuterinis modeliavimas buvo atliekamas komparatorių apkrovus 2 pF apkrovos talpa ir esant skirtingiems ribiniams atvejams.



4 pav. Komparatoriaus DACH, esant skirtingiems ribiniams atvejams

Fig. 4. Comparator's frequency response at different corner conditions

Iš 4 pav. matyti, kad didžiausias stiprinimo koeficientas yra 45,3 dB, o mažiausias – 45,17 dB. Pažymėtina tai, kad toks stiprinimo koeficiento pastovumas užtikrina vienodai stabilų komparatoriaus veikimą, esant skirtingoms operavimo sąlygoms. Komparatoriaus pralaidumo juosta neviršija 580 kHz, o vienetinis stiprinimo koeficientas yra ties 40 MHz dažniu. Iš šios charakteristikos taip pat matyti, kad komparatoriaus parametru pokytis, esant skirtingiems ribiniams atvejams, yra minimalus. Taigi, iš gautų rezultatų galima teigti, kad komparatorius pasižymės stabilia veika, esant plačiam aplinkos temperatūrų bei maitinimo įtampos pokyčių diapazonui.

3 lentelėje pateikta ekstrahuotos komparatoriaus topologijos kompiuterinio modeliavimo rezultatų suvestinė. Šie rezultatai gauti esant nominaliam ribiniam atvejui ir atitinka techninėje užduotyje nustatytus parametrus.

3 lentelė. Rezultatų suvestinė esant nominaliam ribiniam atvejui
Table 3. Summary of results at nominal corner conditions

Parametras	Žymuo	Vertė	Matavimo vienetas
Stiprinimo koeficientas	A_0	45,31	dB
Histerezės kilpos ribos	V_{TRP+}	7	mV
	V_{TRP-}	-7	mV
Reakcijos laikas	t_{pr}	129	ns
Sinfazinis įėjimo signalo diapazonas	V_{ICRmin}	71	mV
	V_{ICRmax}	746	mV
Vartojamoji galia	P_{diss}	87,6	μ W

Išvados

Atlikus komparatoriaus projektavimą ir kompiuterinius modeliavimus galima suformuluoti tokias išvadas:

1. Pasiūlytos architektūros TSMC 65 nm KMOP technologijos komparatorius sudarytas iš dviejų pakopų ir turi AB klasės išėjimo pakopą.

2. Kompiuterinio modeliavimo metu gauta, kad komparatoriaus stiprinimo koeficientas yra apie 45 dB, o pralaidumo juosta – 580 kHz. Komparatoriaus įėjimo sinfazinio signalo dinaminis diapazonas yra nuo 71 mV iki 746 mV, o tipinis persijungimo laikas – apie 129 ns. Taip pat atlikus kompiuterinį modeliavimą gauta, kad didžiausia vartojamoji galia yra 87,6 μ W, kai maitinimo įtampa 1,2 V. Norint sumažinti vartojamąją galią, kai komparatorius nėra naudojamas, numatyta ir jo išjungimo grandinė.
3. Siekiant pagerinti komparatoriaus atsparumą trukdžiams, buvo imta taikyti histerezė. Taigi komparatorius įsijungia, kai skirtumas tarp įėjimo signalų yra didesnis už 7 mV, o išsijungia – kai šis skirtumas mažesnis už -7 mV.
4. Suprojektuoto komparatoriaus topologijos elementai sujungti naudojant penkis metalo sluoksnius ir užima 56 \times 25 μ m plotą luste.

Literatūra

- Allen, P. E.; Holberg, D. R. 2011. *CMOS analog circuit design*. 3rded. New York: Oxford University Press. 784 p.
- Barzdėnas, V. 2013. *Lustų projektavimas: kursinių projektų rengimo metodika*. Vilnius: Technika. 170 p.
<http://dx.doi.org/10.3846/1460-S>
- Khorovits, P.; Khill, U. 2009. *Iskusstvo skhemotekhniki*. 7-e izdaniye. Moskva: Mir, Binom. 704 p.
- Rodrigues, C. R., et al. 2013. Hysteresis settling technique for CMOS comparators based on substrate voltage, *Electronics Letters* 49(1): 27–28. <http://dx.doi.org/10.1049/el.2012.3191>
- Rang, W., et al. 2004. A dynamic CMOS comparator with high precision and resolution, in *7th International Conference on Solid-State and Integrated Circuits Technology Proceedings*, 18–21 October, 2004, Beijing, China, Vol. 2, 1567–1570.

DESIGN OF A 65 NM CMOS COMPARATOR WITH HYSTERESIS

A. Vasjanov, V. Barzdėnas

Abstract

The comparator can be described as one of the basic building blocks in electronics. It is implemented both as a discrete device and as a constituent of a complex circuit. In both cases, the circuits usually operate in conditions, where useful and unwanted (noise) signals are present at the same time. In order to maintain the validity of output data, a hysteresis parameter is introduced to the comparator's circuit. This article presents the results of a CMOS comparator with hysteresis design – the schematic, topology and simulation results are analyzed. The designed comparator is implemented in a zero voltage offset compensation circuit ADC in a multi-standard transceiver IC.

Keywords: CMOS, comparator, hysteresis, integrated circuit, IC, design, chip, ADC.